

PAT-NO: JP361292351A

DOCUMENT-IDENTIFIER: JP 61292351 A

TITLE: INPUT PROTECTING CIRCUIT

PUBN-DATE: December 23, 1986

INVENTOR-INFORMATION:

NAME

WADA, TOSHIO

TAKESONO, TAKASHI

OKADA, TAKASHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANYO ELECTRIC CO LTD

N/A

APPL-NO: JP60134749

APPL-DATE: June 20, 1985

INT-CL (IPC): H01L027/06, H01L029/78

US-CL-CURRENT: 257/363

ABSTRACT:

PURPOSE: To apply an input surge voltage to a ground by uniformly distributing it by varying a breakdown voltage between a source and a drain by altering a polysilicon resistor and a channel length in combination with a protecting MIS transistor for varying the breakdown voltage between the source and the drain.

CONSTITUTION: An input protecting circuit has an input pad 1 formed of

aluminum, a polysilicon resistor 2 made of an N⁺ type polysilicon layer formed on the field insulating film of a semiconductor substrate 3, and a protecting MIS transistor 4. The transistor 4 is formed by separating source and drain regions 5, 6 made of N⁺ type diffused layers, a step 8 is formed on the portion of the region 6 opposed to a channel region 7, and channel length L is varied to L₁, L₂, L₃, L₄. The channel length L of the transistor is gradually reduced to gradually decrease a breakdown voltage BV_{DS} between the source and the drain. Accordingly, an input surge voltage can be uniformly dispersed in the channel of the transistor. A large input surge voltage is applied to a ground at the side connected with the resistor 2, and a small input surge voltage is applied to the ground at the gate electrode side.

COPYRIGHT: (C)1986,JPO&Japio

DERWENT-ACC-NO: 1987-034336

DERWENT-WEEK: 198705

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Input protection circuit for MIS transistor circuit -
comprises poly:silicon resistor to which protective MIS
transistors having respective source-drain channel
lengths connected NoAbstract Dwg

PATENT-ASSIGNEE: SANYO ELECTRIC CO[SAOL], TOKYO SANYO
ELECTRIC CO[TOKR]

PRIORITY-DATA: 1985JP-0134749 (June 20, 1985)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 61292351 A	December 23, 1986	N/A	013	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 61292351A	N/A	1985JP-0134749	June 20, 1985

INT-CL (IPC): H01L027/06, H01L029/78

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: INPUT PROTECT CIRCUIT MIS TRANSISTOR CIRCUIT
COMPRISE POLY SILICON
RESISTOR PROTECT MIS TRANSISTOR RESPECTIVE SOURCE DRAIN
CHANNEL
LENGTH CONNECT NOABSTRACT

DERWENT-CLASS: U11 U13

EPI-CODES: U11-D03C1; U13-D02;

⑫ 公開特許公報(A) 昭61-292351

⑤ Int.Cl.⁴H 01 L 27/06
29/78

識別記号

1 0 2

庁内整理番号

6655-5F
8422-5F

④ 公開 昭和61年(1986)12月23日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 入力保護回路

⑰ 特 願 昭60-134749

⑱ 出 願 昭60(1985)6月20日

⑲ 発 明 者 和 田 俊 男 群馬県邑楽郡大泉町大字坂田180番地 東京三洋電機株式会社内
⑲ 発 明 者 竹 園 隆 群馬県邑楽郡大泉町大字坂田180番地 東京三洋電機株式会社内
⑲ 発 明 者 岡 田 敬 群馬県邑楽郡大泉町大字坂田180番地 東京三洋電機株式会社内
⑲ 出 願 人 三 洋 電 機 株 式 会 社 守口市京阪本通2丁目18番地
⑲ 出 願 人 東京三洋電機株式会社 群馬県邑楽郡大泉町大字坂田180番地
⑲ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称 入力保護回路

2. 特許請求の範囲

(1) 入力パッドよりポリシリコン抵抗体および所定のソースドレイン間ブレイクダウン電圧を有する保護用MISトランジスタを介して保護されるMISトランジスタのゲート電極に接続される入力保護回路に於て、前記保護用MISトランジスタのソースおよびドレイン領域間のチャンネル長を前記ポリシリコン抵抗体に接続された側より減少させて前記ソースドレイン間ブレイクダウン電圧を減少させることを特徴とする入力保護回路。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明はMISトランジスタ回路の入力保護回路の改良に関する。

(ロ) 従来の技術

従来の入力保護回路としては第4図に示す拡散抵抗を用いるものが例えば特公昭45-3464

1号公報等で知られている。

第4図に於て、(21)はA₁により形成された入力パッド、(22)は半導体基板に不純物を拡散して形成された拡散抵抗であり、パターン的には入力パッド(21)から拡散抵抗(22)の一端にコンタクトを介して入り、拡散抵抗(22)の他端よりコンタクトを介してA₁配線(23)で保護されるMISトランジスタのゲート電極に接続されている。第5図は第4図の入力保護回路の等価回路図であり、拡散抵抗(22)は抵抗と同時に基板との間で逆方向のダイオードを形成しており、抵抗で形成される時定数回路で入力サージ電圧をなめすと同時にダイオードで基板へ抜いてMISトランジスタのゲート酸化膜を破壊されるのを防止している。

従来の他の入力保護回路としては第6図に示すポリシリコン抵抗を用いるものが例えば特開昭59-74665号公報等で知られている。

第6図に於て、(31)はA₁により形成された入力パッド、(32)は半導体基板の絶縁膜上に形成されたN⁺ポリシリコン層より成るポリシリコン抵

抗体であり、パターン的には入力パッド(31)からポリシリコン抵抗体(32)の一端にコンタクトを介して入り、ポリシリコン抵抗体(32)の他端よりコンタクトを介してA₂配線(33)で保護されるM I Sトランジスタのゲート電極に接続されている。第7図は第6図の入力保護回路の等価回路図であり、ポリシリコン抵抗体(32)とポリシリコン抵抗体(32)下のM O S容量とで形成される時定数回路で入力サージ電圧をなめしてM I Sトランジスタのゲート酸化膜を保護している。

(ハ) 発明が解決しようとする問題点

前者の従来の入力保護回路では大きい入力サージ電圧が印加されると拡散抵抗(22)の入力パッド(21)側に集中して加えられるので入力パッド側のP N接合が破壊され易い欠点がある。

後者の従来の入力保護回路では大きい入力サージ電圧が印加されると入力サージ電圧は基板に抜く構造となっていないので、ポリシリコン抵抗(32)を介してM I Sトランジスタのゲート電極に印加されてゲート酸化膜を破壊してしまう欠点があ

る。

(ニ) 問題点を解決するための手段

本発明は斯上した欠点に鑑みてなされ、ポリシリコン抵抗体(2)とチャンネル長を変化させてソースドレイン間ブレークダウン電圧を変化させた保護用M I Sトランジスタ(4)との組み合わせにより従来の欠点を大巾に改善した入力保護回路を実現するものである。

(*) 作用

本発明に依れば、ポリシリコン抵抗体(2)で入力サージ電圧をなめした後、保護用M I Sトランジスタ(4)で入力サージ電圧をソースドレイン間ブレークダウン電圧を変化させて均一に分布させてグラウンドに抜いているので大きい入力サージ電圧でも入力保護回路を破壊することなく保護できる。

(ハ) 実施例

本発明に依る入力保護回路を第1図乃至第3図を参照して詳述する。

第1図は本発明の入力保護回路の上面図を示

し、(1)はA₂により形成された入力パッド、(2)は半導体基板(3)のフィールド絶縁膜上に形成されたN⁺ポリシリコン層より成るポリシリコン抵抗体、(4)は本発明の特徴とする保護用M I Sトランジスタである。この保護用M I Sトランジスタ(4)は点線で示すN⁺型拡散層より成るソースドレイン領域(5)(6)が離間して設けられ、ドレイン領域(6)にチャンネル領域(7)と対抗している部分にステップ(8)を形成している。このステップ(8)はチャンネル領域(7)のほぼ全巾に渡って形成され、チャンネル長LをL₁、L₂、L₃、L₄と可変している。即ちチャンネル長Lはポリシリコン抵抗(2)に接続された側から保護されるM I Sトランジスタのゲート電極側に行くに従いその長さを漸減させている。

パターンのには、入力パッド(1)はポリシリコン抵抗体(2)の一端にコンタクトを介して接続されている。ポリシリコン抵抗体(2)の他端からはコンタクトを介して保護用M I Sトランジスタ(4)のドレイン領域(6)の一端までA₂配線で接

続され、保護用M I Sトランジスタ(4)のゲート電極(9)はチャンネル領域(7)上のゲート酸化膜を被覆し且つソース領域(5)にコンタクトを介して接続され、更にグラウンドまたは電源に導かれている。また保護されるM I Sトランジスタのゲート電極(10)はドレイン領域(6)の他端にコンタクトを介して接続されている。

第2図は第1図の本発明の等価回路図であり、ポリシリコン抵抗体(2)とチャンネル長Lを変えてソースドレイン間ブレークダウン電圧の異なる複数の保護用M I Sトランジスタ(4)とを介して入力パッド(1)と保護されるM I Sトランジスタのゲート電極とを接続している。この複数個の保護用M I Sトランジスタはポリシリコン抵抗体(2)側よりチャンネル長Lが漸減され、ソースドレイン間ブレークダウン電圧V_{br}は漸減する様に設定され、入力サージ電圧を各保護用M I Sトランジスタに平均的に分散させている。

本発明による入力保護回路の動作について説明する。保護用M I Sトランジスタは前述した如く

チャンネル長 L が L_1, L_2, L_3, L_4 と漸減する様に設計されている。例えばチャンネル長を $L_1=7\mu\text{m}$ 、 $L_2=3\mu\text{m}$ 、 $L_3=2\mu\text{m}$ 、 $L_4=1.5\mu\text{m}$ と漸減させると、第3図よりソースドレイン間ブレイクダウン電圧 BV_{DS} は21V、17V、14V、12Vと変化する。なお第3図では $10\Omega\text{cm}$ のP型シリコン基板のフィールド表面不純物濃度を $2 \times 10^{14}\text{cm}^{-3}$ とし、ゲート酸化膜厚 t_{ox} 、400Å、ソースドレイン領域の拡散深さ x_j を $0.5\mu\text{m}$ とした保護用MISトランジスタを例に採った。一方保護されるMISトランジスタの保護ゲート耐圧を約15Vとして設計している。斯る入力保護回路では大きい入力サージ電圧は大きいソースドレイン間ブレイクダウン電圧 BV_{DS} を有するポリシリコン抵抗体(2)に接続された側でグラウンドに抜くことができ、小さい入力サージ電圧は小さいソースドレイン間ブレイクダウン電圧 BV_{DS} を有するゲート電極側でグラウンドに抜くことができ、入力サージ電圧をソースドレイン間ブレイクダウン電圧 BV_{DS} の大きさにより保護用

MISトランジスタに均一に分散できる。これから保護用MISトランジスタのソースドレイン間ブレイクダウン電圧 BV_{DS} はポリシリコン抵抗体(2)側では保護されるMISトランジスタの保護ゲート耐圧約15Vより高く設定し、ゲート電極側では保護ゲート耐圧より低く設定すると良い。なお保護用MISトランジスタのドレイン領域(6)のPN接合破壊を防止するため、保護用MISトランジスタのソースドレイン間ブレイクダウン電圧 BV_{DS} はPN接合耐圧の約30V以下に設計しなくてはならない。

なお斯上した実施例ではA1ゲート構造の保護用MISトランジスタで説明したが、Siゲート構造のものでも当然本発明の目的を達成できる。

(ト) 発明の効果

本発明に依れば保護用MISトランジスタのチャンネル長 L を漸減することによりソースドレイン間ブレイクダウン電圧 BV_{DS} を漸減できるので、入力サージ電圧を保護用MISトランジスタのチャンネルに均一に分散できる。このため大きい

入力サージ電圧でも小さい入力サージ電圧でも安定してMISトランジスタのゲート酸化膜を保護できる。

また本発明ではポリシリコン抵抗体(2)を用いるので拡散抵抗体(2)に比べて小さい面積で同一抵抗値を実現でき、入力保護回路の小型化に寄与できる。

更に本発明では入力サージ電圧を分散して保護用MISトランジスタでグラウンドに抜くので、保護用MISトランジスタが大きい入力サージ電圧で破壊されるおそれが少なく、極めて破壊強度に強い入力保護回路を実現できる。

4. 図面の簡単な説明

第1図は本発明に依る入力保護回路を説明する上面図、第2図は本発明の入力保護回路の等価回路図、第3図は本発明の動作を説明するための特性図、第4図および第6図は従来の入力保護回路を説明する上面図、第5図および第7図は第4図および第6図の従来の入力保護回路の等価回路図である。

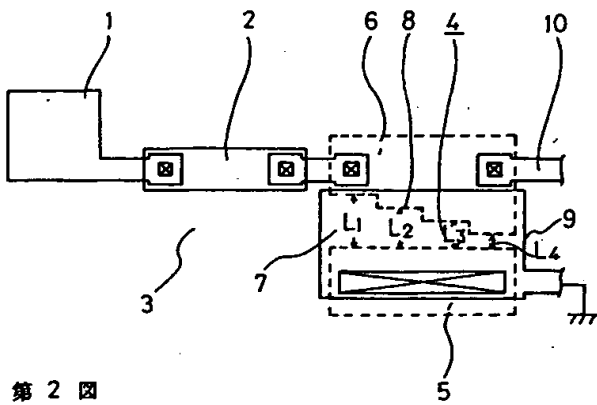
主な図番の説明

(1) は入力パッド、(2) はポリシリコン抵抗体、(4) は保護用MISトランジスタ、(5) (6) はソースドレイン領域、(7) はチャンネル領域である。

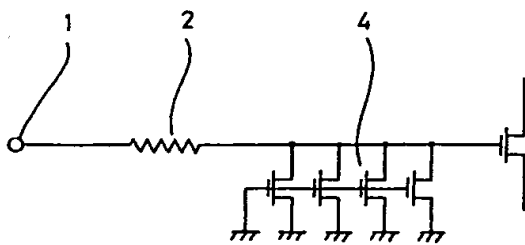
出願人 三洋電機株式会社 外1名

代理人 弁理士 佐野 静夫

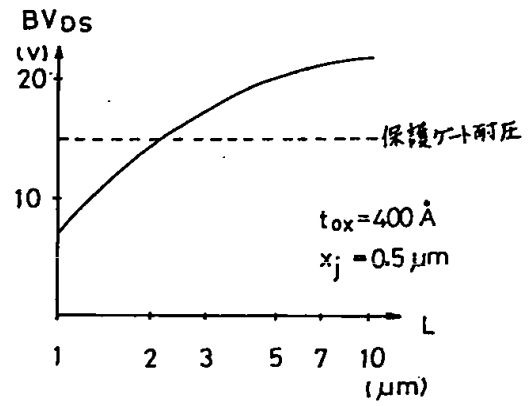
第1図



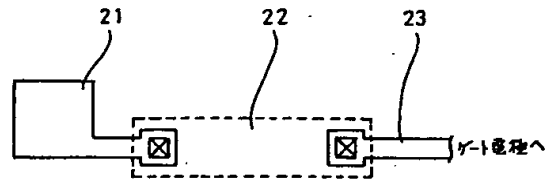
第2図



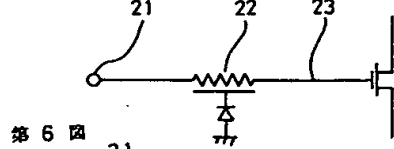
第3図



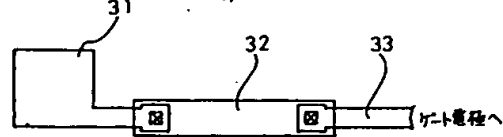
第4図



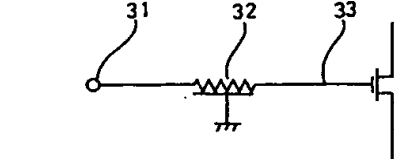
第5図



第6図



第7図



HPS Trailer Page
for
EAST

UserID: JMondt_Job_1_of_1
Printer: cp4_3c03_gbjptr

Summary

<u>Document</u>	<u>Pages</u>	<u>Printed</u>	<u>Missed</u>	<u>Copies</u>
JP361292351A	4	4	0	1
Total (1)	4	4	0	-